

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Patent Application of:

Atsushi IKE

Application No.:

Group Art Unit:

Filed: February 12, 2004

Examiner:

For: MICROPROCESSOR

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN  
APPLICATION IN ACCORDANCE  
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents  
PO Box 1450  
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s) herewith a certified copy of the following foreign application:

Japanese Patent Application No(s). 2003-124937

Filed: April 30, 2003

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing date(s) as evidenced by the certified papers attached hereto, in accordance with the requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: February 12, 2004

By: 

H. J. Staas  
Registration No. 22,010

1201 New York Ave, N.W., Suite 700  
Washington, D.C. 20005  
Telephone: (202) 434-1500  
Facsimile: (202) 434-1501



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    4 月 3 0 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 3 - 1 2 4 9 3 7  
Application Number:

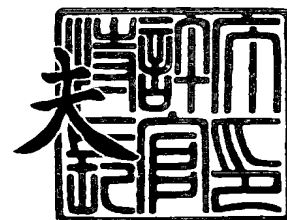
[ST. 10/C]:                      [ J P 2 0 0 3 - 1 2 4 9 3 7 ]

出      願      人                      富 士 通 株 式 会 社  
Applicant(s):

2 0 0 3 年 1 2 月 1 1 日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

今 井 康



出 証 番 号    出 証 特 2 0 0 3 - 3 1 0 3 0 4 8



【書類名】 特許願

【整理番号】 0340336

【提出日】 平成15年 4月30日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 12/10

【発明の名称】 マイクロプロセッサ

【請求項の数】 8

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 池 敦

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100072718

【弁理士】

【氏名又は名称】 古谷 史旺

【電話番号】 3343-2901

【手数料の表示】

【予納台帳番号】 013354

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704947

【プルーフの要否】 要



【書類名】 明細書

【発明の名称】 マイクロプロセッサ

【特許請求の範囲】

【請求項 1】 仮想アドレスから物理アドレスへの変換により得られるアドレス変換情報が登録される複数のエントリを有する変換索引バッファと、

前記変換索引バッファを制御する制御回路とを備え、

前記エントリは、登録されるアドレス変換情報の常駐が必要なときにセットされるプライオリティビットをそれぞれ備え、

前記制御回路は、前記エントリの登録内容を入れ替えるエントリ置換が発生したときに、全ての前記エントリの前記プライオリティビットがセットされている場合、前記プライオリティビットに拘わらず、最古に参照されたエントリをエントリ置換の対象として選択することを特徴とするマイクロプロセッサ。

【請求項 2】 請求項 1 記載のマイクロプロセッサにおいて、

前記制御回路は、エントリ置換が発生したときに、少なくとも 1 つの前記エントリの前記プライオリティビットがリセットされている場合、前記プライオリティビットがリセットされている少なくとも 1 つの前記エントリのうち最古に参照されたエントリをエントリ置換の対象として選択することを特徴とするマイクロプロセッサ。

【請求項 3】 請求項 1 記載のマイクロプロセッサにおいて、

前記マイクロプロセッサは、1 つの V L I W 命令に配置された複数の命令を並列実行する V L I W 方式を採用するとともに、同一の V L I W 命令内でエントリ置換が連続して発生したことを検出する検出回路を備え、

前記変換索引バッファは、2 ウェイセットアソシアティブ方式を採用し、

前記制御回路は、前記検出回路により、同一の V L I W 命令内でのエントリ置換の連続発生が検出されたときに、前記プライオリティビットに拘わらず、以前に参照されたエントリをエントリ置換の対象として選択することを特徴とするマイクロプロセッサ。

【請求項 4】 請求項 3 記載のマイクロプロセッサにおいて、

前記検出回路は、前回のエントリ置換が発生したときの V L I W 命令の格納先



アドレスを保持する保持回路と、エントリ置換が発生したときのVLIW命令の格納先アドレスと前記保持回路が保持しているアドレスとを比較する比較器と、前記比較器により、アドレスの一致が検出されたときにセットされるフラグとを備え、

前記制御回路は、前記フラグがセットされているときに、前記プライオリティビットに拘わらず、以前に参照されたエントリをエントリ置換の対象として選択することを特徴とするマイクロプロセッサ。

【請求項5】 請求項4記載のマイクロプロセッサにおいて、

前記フラグは、VLIW命令の格納先アドレスの遷移に応答してリセットされることを特徴とするマイクロプロセッサ。

【請求項6】 請求項5記載のマイクロプロセッサにおいて、

前記検出回路は、VLIW命令の格納先アドレスの遷移を検出するアドレス検出器を備え、

前記フラグは、前記アドレス検出器により、VLIW命令の格納先アドレスの遷移が検出されたときにリセットされることを特徴とするマイクロプロセッサ。

【請求項7】 請求項4記載のマイクロプロセッサにおいて、

プログラムの実行を中断させるために発生される複数の割込要求を管理する割込制御回路を備え、

前記フラグは、エントリ置換のための割込要求を除く割込要求の受諾に応答してリセットされることを特徴とするマイクロプロセッサ。

【請求項8】 請求項7記載のマイクロプロセッサにおいて、

前記割込制御回路は、受諾された割込要求の要因を検出する割込検出器を備え、

前記フラグは、前記割込検出器により、受諾された割込要求はエントリ置換のための割込要求ではないことが検出されたときにリセットされることを特徴とするマイクロプロセッサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、マイクロプロセッサに関し、特に、変換索引バッファ（TLB: Translation Look-aside Buffer）を有するマイクロプロセッサに関する。

【0002】

【従来の技術】

仮想記憶方式のコンピュータでは、仮想アドレス（Virtual Address）から物理アドレス（Physical Address）への変換（アドレス変換）をプログラムの実行中に実施する必要がある。アドレス変換のためのハードウェア機構は、動的アドレス変換機構（DAT: Dynamic Address Translator）と呼ばれる。DATは、アドレス変換表（セグメントテーブル、ページテーブル等で構成されるテーブル）を参照することで、アドレス変換を実施する。アドレス変換表は、主記憶内に存在し、オペレーティングシステム（OS: Operating System）によって管理される。アドレス変換表は、例えば、ある仮想ページ番号がどの物理ページ番号に対応するかを示す。

【0003】

DATがアドレス変換の実施毎にアドレス変換表を参照すると、アドレス変換のためのオーバヘッドが増大してしまう。このため、アドレス参照の局所性を考慮して、以前に利用されたアドレス変換情報（仮想ページ番号と物理ページ番号との対）を高速なメモリに登録しておくことが、一般的に行われる。このメモリは、変換索引バッファ（TLB）またはアドレス変換バッファ（Address Translation Buffer）と呼ばれる。TLBは、アドレス変換情報が登録される複数のエントリを有している。

【0004】

アドレス変換が実施されるときに、仮想アドレスに対応するアドレス変換情報がTLB内に存在しない場合、アドレス変換表を用いたアドレス変換により得られたアドレス変換情報を、エントリのいずれかに登録されているアドレス変換情報と入れ替える必要がある。すなわち、エントリ置換を実施する必要がある。エントリ置換の対象となるエントリの選択は、例えば、LRU（Least Recently Used）アルゴリズムに基づいて実施される。すなわち、アドレス参照の局所性を考慮し、最古に参照されたエントリがエントリ置換の対象として選択される。

**【0005】**

しかしながら、例えば、タイムスライス方式のOSにおいて、使用頻度の低いプログラムを実行した後に、使用頻度の高いプログラムを実行する場合、使用頻度の低いプログラムの実行中にエントリ置換が発生すると、その後、使用頻度の高いプログラムの実行中にエントリ置換が多発してしまう。すなわち、TLBの効果を十分に享受できなくなってしまう。

**【0006】**

この問題を解決するために、エントリ置換の禁止（エントリロック）機能を有するTLBが提案されている（例えば、特許文献1参照）。この種のTLBでは、各エントリは、置換禁止ビットを有している。使用頻度の高い（リアルタイム性が要求されるなどの）プログラムのためのアドレス変換情報、すなわちTLBに常駐させる必要のあるアドレス変換情報が登録されるエントリの置換禁止ビットがセットされる。置換禁止ビットがセットされているエントリは、エントリ置換の候補から除外される。

**【0007】****【特許文献1】**

特開平4-338848号公報

**【0008】****【発明が解決しようとする課題】**

前述のようなエントリロック機能を有するTLBでは、エントリ置換が発生したときに、全てのエントリの置換禁止ビットがセットされている場合、エントリ置換を実施できなくなってしまう。このため、プログラムの実行が停止してしまう。すなわち、システムが正常に動作できなくなってしまう。

また、エントリロック用と非エントリロック用とに分割されたTLBでは、アドレス変換の実施時に、両方のTLBを同時に検索しなければならない。両方のTLBを同時にアクセスするためには、ポート数を増やす（多ポート化する）等の対応が必要となり、回路構成が複雑になってしまう。このため、回路規模が増大してしまう。

**【0009】**



さらに、例えば、2ウェイセットアソシアティブ方式のTLBを有するVLIW (Very Long Instruction Word) 方式のマイクロプロセッサでは、TLBにおいて、同一のVLIW命令内でエントリ置換が連続して発生すると、両ウェイのエントリのいずれかの置換禁止ビットがセットされていない場合でも、エントリ置換を実施できなくなってしまう場合がある。

#### 【0010】

本発明の目的は、TLBを有するマイクロプロセッサにおいて、回路構成を複雑にすることなく、エントリ置換が実施できなくなることを防止することにある。

#### 【0011】

##### 【課題を解決するための手段】

請求項1のマイクロプロセッサでは、変換索引バッファは、仮想アドレスから物理アドレスへの変換により得られるアドレス変換情報が登録される複数のエントリを有している。エントリは、登録されるアドレス変換情報の常駐が必要となきにセットされるプライオリティビットをそれぞれ有している。変換索引バッファを制御する制御回路は、エントリの登録内容を入れ替えるエントリ置換が発生したときに、全てのエントリのプライオリティビットがセットされている場合、プライオリティビットに拘わらず、最古に参照されたエントリをエントリ置換の対象として選択する。

#### 【0012】

全てのエントリのプライオリティビットがセットされている場合であっても、エントリ置換を実施できる。すなわち、エントリ置換が実施できなくなることを防止でき、プログラムの実行が停止することを回避できる。換言すれば、システムの正常動作を保証できる。

また、プライオリティビットに拘わらず、最も以前に参照されたエントリがエントリ置換の対象として選択されるため、エントリ置換に伴うアドレス変換のためのオーバーヘッドの増大を最小にできる。

#### 【0013】

さらに、プライオリティビットを参照してエントリ置換の対象を選択すること



で、回路構成を複雑にすることなく、エントリ置換が実施できなくなることを防止できる。

請求項2のマイクロプロセッサでは、制御回路は、エントリ置換が発生したときに、1つのエントリのプライオリティビットがリセットされている場合、プライオリティビットがリセットされているエントリをエントリ置換の対象として選択する。制御回路は、エントリ置換が発生したときに、複数のエントリのプライオリティビットがリセットされている場合、プライオリティビットがリセットされている複数のエントリのうち最古に参照されたエントリをエントリ置換の対象として選択する。

#### 【0014】

プライオリティビットがセットされているエントリは、エントリ置換の候補から除外されるため、常駐が必要なアドレス変換情報は変換索引バッファに常駐できる。すなわち、アドレス変換のためのオーバヘッドを低減できる。

また、プライオリティビットがリセットされている少なくとも1つのエントリのうち最も以前に参照されたエントリがエントリ置換の対象として選択される。このため、エントリ置換に伴うアドレス変換のためのオーバヘッドの増大を最小にできる。

#### 【0015】

請求項3のマイクロプロセッサでは、1つのVLIW命令に配置された複数の命令を並列実行するVLIW方式が採用されている。変換索引バッファは、2ウェイセットアソシアティブ方式を採用している。検出回路は、同一のVLIW命令内でエントリ置換が連続して発生したことを検出する。制御回路は、検出回路により、同一のVLIW命令内でのエントリ置換の連続発生が検出されたときに、プライオリティビットに拘わらず、以前に参照されたエントリをエントリ置換の対象として選択する。

#### 【0016】

同一のVLIW命令内でエントリ置換が連続して発生した場合であっても、エントリ置換を実施できる。すなわち、2ウェイセットアソシアティブ方式の変換索引バッファを有するVLIW方式のマイクロプロセッサにおいても、エントリ

置換が実施できなくなることを防止でき、プログラムの実行が停止することを回避できる。換言すれば、システムの正常動作を保証できる。

【0 0 1 7】

請求項 4 のマイクロプロセッサでは、検出回路は、保持回路、比較器およびフラグを有している。保持回路は、前回のエントリ置換が発生したときの V L I W 命令の格納先アドレスを保持する。比較器は、エントリ置換が発生したときの V L I W 命令の格納先アドレスと保持回路が保持しているアドレスとを比較する。フラグは、比較器により、アドレスの一致が検出されたときにセットされる。制御回路は、フラグがセットされているときに、プライオリティビットに拘わらず、以前に参照されたエントリをエントリ置換の対象として選択する。

【0 0 1 8】

比較器によるアドレスの比較結果に応じてフラグをセットするため、フラグを参照するだけで、同一の V L I W 命令内でエントリ置換が連続して発生したか否かを判定できる。すなわち、フラグを設けることで、同一の V L I W 命令内でエントリ置換が連続して発生したか否かを容易に認識できる。

請求項 5 のマイクロプロセッサでは、フラグは、V L I W 命令の格納先アドレスの遷移に応答してリセットされる。フラグをリセットすることで、プライオリティビットを再度有効にできる。

【0 0 1 9】

請求項 6 のマイクロプロセッサでは、検出回路は、V L I W 命令の格納先アドレスの遷移を検出するアドレス検出器を有している。フラグは、アドレス検出器により、V L I W 命令の格納先アドレスの遷移が検出されたときにリセットされる。アドレス検出器を設けることで、フラグを容易にリセットできる。

請求項 7 のマイクロプロセッサでは、割込制御回路は、プログラムの実行を中断させるために発生される複数の割込要求を管理する。フラグは、エントリ置換のための割込要求を除く割込要求の受諾に응答してリセットされる。フラグをリセットすることで、プライオリティビットを再度有効にできる。

【0 0 2 0】

請求項 8 のマイクロプロセッサでは、割込制御回路は、受諾された割込要求の



要因を検出する割込検出器を有している。フラグは、割込検出器により、受諾された割込要求はエントリ置換のための割込要求ではないことが検出されたときにリセットされる。割込検出器を設けることで、フラグを容易にリセットできる。

#### 【0021】

##### 【発明の実施の形態】

以下、図面を用いて実施形態を説明する。

図1は、本発明のマイクロプロセッサの第1の実施形態を示している。この実施形態は、請求項1および請求項2に対応している。なお、図1は、マイクロプロセッサのアドレス変換に関する部分を示している。

マイクロプロセッサ100は、仮想記憶方式を採用しており、CPU10および主記憶18を有している。

#### 【0022】


CPU10は、DAT12 (Dynamic Address Translator) を有し、主記憶18内のプログラムに従って動作する。DAT12は、プログラムの実行中に仮想アドレスを物理アドレスに変換（アドレス変換）するハードウェア機構であり、TLB14 (Translation Look-aside Buffer) および制御回路16を有している。

#### 【0023】

TLB14は、2ウェイセットアソシアティブ方式（セット数：n）の連想メモリとして構成されている。TLB14は、アドレス変換により得られるアドレス変換情報が登録されるn個のエントリをウェイW0、W1毎に有している。エントリは、プライオリティビットPBをそれぞれ有している。プライオリティビットPBは、登録されるアドレス変換情報の常駐が必要なとき（優先度が高いとき）に”1”にセットされ、登録されるアドレス変換情報の常駐が比較的必要ないとき（優先度が低いとき）に”0”にリセットされる。

#### 【0024】

TLB14は、セット毎にLRUビットLBを有している。LRUビットLBは、対応するセットにおいて、ウェイW0のエントリが参照されたときに”1”にセットされ、ウェイW1のエントリが参照されたときに”0”にリセットされる。



制御回路 16 は、エントリ置換（エントリの登録内容の入れ替え）が発生したときに、仮想アドレスに対応するセットにおいて、ウェイW0のエントリのプライオリティビットPBとウェイW1のエントリのプライオリティビットPBとが共に” 1 ”である場合（ケース 1）、プライオリティビットPBを無視し、以前に参照されたエントリを置換対象エントリ（エントリ置換の対象）として選択する。ここで、アドレス変換表 20 を用いたアドレス変換により得られたアドレス変換情報を、仮想アドレスに対応するセットにおけるエントリのいずれかに登録されているアドレス変換情報と入れ替えるエントリ置換は、仮想アドレスに対応するアドレス変換情報が T L B 14 内に存在しない場合に発生する。

#### 【0025】

制御回路 16 は、エントリ置換が発生したときに、仮想アドレスに対応するセットにおいて、ウェイW0のエントリのプライオリティビットPBとウェイW1のエントリのプライオリティビットPBとのいずれかが” 0 ”である場合（ケース 2）、プライオリティビットが” 0 ”であるエントリを置換対象エントリとして選択する。

#### 【0026】

制御回路 16 は、エントリ置換が発生したときに、仮想アドレスに対応するセットにおいて、ウェイW0のエントリのプライオリティビットPBとウェイW1のエントリのプライオリティビットPBとが共に” 0 ”である場合（ケース 3）、以前に参照されたエントリを置換対象エントリとして選択する。

制御回路 16 の置換対象エントリの選択は、例えば、L R U アルゴリズムに基づいて実施される。すなわち、制御回路 22 は、ケース 1 またはケース 3 において、仮想アドレスに対応するセットの L R U ビットLBが” 1 ”である場合、ウェイW1のエントリを置換対象エントリとして選択する。制御回路 22 は、ケース 1 またはケース 3 において、仮想アドレスに対応するセットの L R U ビットLBが” 0 ”である場合、ウェイW0のエントリを置換対象エントリとして選択する。

#### 【0027】

主記憶 18 は、各種プログラム、データなどと共に、アドレス変換表 20 を格納している。アドレス変換表 20 は、セグメントテーブル、ページテーブル等で

構成される周知のテーブルである。

ここで、第1の実施形態におけるTLB制御について説明する。

図2は、第1の実施形態におけるTLB制御を示している。

#### 【0028】

以下のTLB制御は、CPU10が主記憶18内のプログラム（オペレーティングシステム）に従って動作することで実施される。

ステップS110において、CPU10は、仮想アドレスに対応するアドレス変換情報がTLB14内に存在するか否かを判定する。仮想アドレスに対応するアドレス変換情報がTLB14内に存在する場合（TLBヒット）、即ちエントリ置換が発生しない場合、TLB制御は完了する。仮想アドレスに対応するアドレス変換情報がTLB14内に存在しない場合（TLBミス）、即ちエントリ置換が発生する場合、TLB制御はステップS120に移行する。

#### 【0029】

ステップS120において、CPU10は、主記憶18内のアドレス変換表20を参照して、仮想アドレスから物理アドレスへの変換（アドレス変換）を実施する。この後、TLB制御はステップS130に移行する。

ステップS130において、CPU10は、仮想アドレスに対応するセットにおいて、プライオリティビットPBが”0”であるエントリが1つ存在するか否かを判定する。プライオリティビットPBが”0”であるエントリが1つ存在する場合、TLB制御はステップS140に移行する。全てのエントリのプライオリティビットPBが”0”である場合、または全てのエントリのプライオリティビットPBが”1”である場合、TLB制御はステップS150に移行する。

#### 【0030】

ステップS140において、制御回路16は、仮想アドレスに対応するセットにおいて、プライオリティビットPBが”0”であるエントリを置換対象エントリとして選択する。プライオリティビットPBが”1”であるエントリは、置換対象エントリとして選択されないため、常駐が必要なアドレス変換情報はTLB14から追い出されない。このため、アドレス変換のためのオーバーヘッドが低減される。この後、TLB制御はステップS160に移行する。

**【0031】**

ステップS150において、制御回路16は、仮想アドレスに対応するセットにおいて、プライオリティビットPBに拘わらず、LRUビットLBを用いて（LRUアルゴリズムに基づいて）、以前に参照されたエントリを置換対象として選択する。全てのエントリのプライオリティビットPBが”1”である場合でも、置換対象エントリを選択するため、エントリ置換が実施できなくなることが防止される。プライオリティビットPBに拘わらず、以前に参照されたエントリが置換対象エントリとして選択されるため、エントリ置換に伴うアドレス変換のためのオーバヘッドの増大が抑制される。この後、TLB制御はステップS160に移行する。

**【0032】**

ステップS160において、CPU10は、ステップS140またはステップS150により選択された置換対象エントリに登録されているアドレス変換情報を追い出し、ステップS120により得られたアドレス変換情報を登録する。すなわち、エントリ置換が実施される。また、置換対象エントリのプライオリティビットPBは、アドレス変換表20により、登録されるアドレス変換情報の常駐が指定されている場合、”1”にセットされる。置換対象エントリのプライオリティビットPBは、アドレス変換表20により、登録されるアドレス変換情報の常駐が指定されていない場合、”0”にリセットされる。さらに、仮想アドレスに対応するセットのLRUビットLBは、置換対象エントリがウェイW0のエントリである場合、”1”にセットされる。仮想アドレスに対応するセットのLRUビットLBは、置換対象エントリがウェイW1のエントリである場合、”0”にリセットされる。これにより、TLB制御は完了する。

**【0033】**

以上、第1の実施形態では、次の効果が得られる。

全てのエントリのプライオリティビットPBが”1”である場合でも、エントリ置換を実施できる。すなわち、エントリ置換が実施できなくなことを防止でき、プログラムの実行が停止することを回避できる。換言すれば、システムの正常動作を保証できる。

**【0034】**

最も以前に参照されたエントリがエントリ置換の対象として選択されるため、エントリ置換に伴うアドレス変換のためのオーバーヘッドの増大を最小にできる。

プライオリティビットPBを参照してエントリ置換の対象を選択することで、回路構成を複雑にすることなく、エントリ置換が実施できなくなることを防止できる。

**【0035】**

プライオリティビットPBが”1”であるエントリは、エントリ置換の候補から除かれるため、常駐が必要なアドレス変換情報はTLB14に常駐できる。すなわち、アドレス変換のためのオーバーヘッドを低減できる。

図3は、本発明のマイクロプロセッサの第2の実施形態を示している。この実施形態は、請求項1～請求項6に対応している。

**【0036】**

マイクロプロセッサ200は、1つのVLIW命令に配置された複数の命令を並列的に実行するVLIW方式を採用している。マイクロプロセッサ200は、CPU30、割込制御回路INTC1、SDRAMインタフェースSIFを有している。

CPU30は、バスインタフェースBIF、システムユニットSU、整数ユニットIU、浮動小数点ユニットFUを有している。

**【0037】**

バスインタフェースBIFは、CPU30とマイクロプロセッサ200内の周辺回路とのインタフェースとして動作する。

システムユニットSUは、DAT12a、命令キャッシュICAC、データキャッシュDCACを有している。DAT12aは、第1の実施形態のTLB14および制御回路16と同様のTLBおよび制御回路を有している。命令キャッシュICACおよびデータキャッシュDCACは、タグ領域とデータ領域とから構成され、TLBヒット時にアクセスの対象となるメモリである。

**【0038】**

整数ユニットIUは、汎用処理のための整数命令を実行する。浮動小数点ユニットFUは、画像や音声などのメディア処理のための浮動小数点命令を実行する。

割込制御回路INTC1は、プログラムの実行を中断させるために発生される複数の割込要求を管理する。SDRAMインタフェースSIFは、SDRAMで構成される主記憶18aとのインタフェースとして動作する。主記憶18aは、第1の実施形態のアドレス変換表20と同様のアドレス変換表を格納している。

#### 【0039】

図4は、第2の実施形態における割込制御回路の要部を示している。

割込制御回路INTC1は、優先順位判定回路PDCおよび検出回路DC1を有している。

優先順位判定回路PDCは、活性化した割込要求信号を予め設定された優先順位やマスク情報を用いて受け付け、受け付けた割込要求信号に対応する割込コードICODEを生成する。

#### 【0040】

検出回路DC1は、保持回路REG、論理積回路AND、比較器CMP、アドレス検出器ADおよびフラグFを有している。

保持回路REGは、例えば、ラッチ回路により構成され、TLBミス割込要求（エントリ置換のための割込要求）を示す割込要求信号TLBIの非活性化に応答して、VLIW仮想アドレス（VLIW命令の格納先アドレス）VVAを取り込む。すなわち、保持回路REGは、前回のTLBミス時（エントリ置換が発生したとき）のVLIW仮想アドレスを保持している。保持回路REGは、保持しているアドレスVVA1を出力する。

#### 【0041】

論理積回路ANDは、割込要求信号TLBIの活性化中に、VLIW仮想アドレスVVAをアドレスVVA2として出力する。

比較器CMPは、アドレスVVA1とアドレスVVA2とを比較する。比較器CMPは、アドレスの一致を検出したときに、ワンショットパルス信号であるフラグセット信号FSを出力する。

#### 【0042】

アドレス検出器ADは、VLIW仮想アドレスVVAの遷移を検出する。アドレス検出器ADは、VLIW仮想アドレスVVAの遷移を検出したときに、ワンショット



パルス信号であるフラグリセット信号FR1を出力する。

フラグFは、比較器CMPから出力されるフラグセット信号FSの立ち上がりエッジに応答して、“1”にセットされる。フラグFは、アドレス検出器ADから出力されるフラグリセット信号FR1の立ち上がりエッジに応答して、“0”にリセットされる。これにより、フラグFを参照するだけで、同一のVLIW命令内でエントリ置換が連続して発生したことが容易に認識される。

#### 【0043】

図5は、第2の実施形態におけるTLB制御を示している。

以下のTLB制御は、第1の実施形態と同様に、CPU30が主記憶18a内のプログラム（オペレーティングシステム）に従って動作することで実施される。なお、図2で説明した処理と同一の処理には、同一の符号を付している。

まず、第1の実施形態と同様に、ステップS110、S120の処理が順次実施される。

#### 【0044】

ステップS210において、CPU30は、検出回路DC1のフラグFが“1”であるか否かを判定する。フラグFが“1”である場合、TLB制御はステップS150に移行する。そして、第1の実施形態と同様に、ステップS150以降の処理が順次実施される。フラグFが“0”である場合、TLB制御はステップS130に移行する。そして、第1の実施形態と同様に、ステップS130以降の処理が順次実施される。

#### 【0045】

以上、第2の実施形態でも、第1の実施形態と同様の効果が得られる。さらに、同一のVLIW命令内でエントリ置換が連続して発生した場合であっても、エントリ置換を実施できる。すなわち、2ウェイセットアソシアティブ方式のTLB14を有するVLIW方式のマイクロプロセッサ200においても、エントリ置換が実施できなくなるのを防止でき、プログラムの実行が停止することを回避できる。換言すれば、システムの正常動作を保証できる。

#### 【0046】

比較器CMPによるアドレスの比較結果に応じてフラグFをセットするため、フラ

グFを参照するだけで、同一のVLIW命令内でエントリ置換が連続して発生したか否かを判定できる。すなわち、フラグFを設けることで、同一のVLIW命令内でエントリ置換が連続して発生したか否かを容易に認識できる。

フラグFをリセットすることで、プライオリティビットPBを再度有効にできる。アドレス検出器ADを設けることで、フラグFを容易にリセットできる。

#### 【0047】

図6は、本発明のマイクロプロセッサの第3の実施形態を示している。この実施形態は、請求項1～請求項4、請求項7および請求項8に対応している。第2の実施形態で説明した要素と同一の要素については、同一の符号を付し、詳細な説明は省略する。

マイクロプロセッサ300は、第2の実施形態の割込制御回路INTC1に代えて、割込制御回路INTC2を有している。その他の構成は、第2の実施形態のマイクロプロセッサ200と同一である。

#### 【0048】

図7は、第3の実施形態における割込制御回路INTC2の要部を示している。

割込制御回路INTC2は、第2の実施形態の検出回路DC1に代えて、検出回路DC2を有している。検出回路DC2は、第2の実施形態のアドレス検出器ADに代えて、割込検出器IDを有している。その他の構成は、第2の実施形態の割込制御回路INTC1と同一である。

#### 【0049】

割込検出器IDは、優先順位判定回路PDCが生成した割込コードICODEと割込要求信号TLBIに対応する割込コードとの不一致を検出する。割込検出器IDは、割込コードの不一致（受け付けられた割込要求信号は割込要求信号TLBIではないこと）を検出したときに、ワンショットパルス信号であるフラグリセット信号FR2を出力する。

#### 【0050】

フラグFは、比較器CMPから出力されるフラグセット信号FSの立ち上がりエッジに応答して、“1”にセットされる。フラグFは、割込検出器IDから出力されるフラグリセット信号FR2の立ち上がりエッジに応答して、“0”にリセットされ

る。これにより、フラグFを参照するだけで、同一のVLIW命令内でエントリ置換が連続して発生したことが容易に認識される。また、フラグFがリセットされることで、プライオリティビットPBは、再度有効になる。

#### 【0051】

以上、第3の実施形態でも、第1および第2の実施形態と同様の効果が得られる。

なお、第1の実施形態では、TLBが2ウェイセットアソシアティブ方式で構成された例について述べた。本発明は、かかる実施形態に限定されるものではない。例えば、TLBは、4ウェイセットアソシアティブ方式で構成されてもよい。

#### 【0052】

図8は、4ウェイセットアソシアティブ方式のTLBにおける置換対象エントリの選択を示している。

4つのウェイW0～W3を有するTLBは、セット毎に6ビットのLRUビットLB01、LB02、LB03、LB12、LB13、LB23を有している。LRUビットLB01は、ウェイW0のエントリとウェイW1のエントリとの関係を示している。LRUビットLB01が”1”であることは、ウェイW1のエントリがウェイW0のエントリより以前に参照されたことを表す。LRUビットLB01が”0”であることは、ウェイW0のエントリがウェイW1のエントリより以前に参照されたことを表す。同様に、LRUビットLB02、LB03、LB12、LB13、LB23は、ウェイW0のエントリとウェイW2のエントリとの関係、ウェイW0のエントリとウェイW3のエントリとの関係、ウェイW1のエントリとウェイW2のエントリとの関係、ウェイW1のエントリとウェイW3のエントリとの関係、ウェイW2のエントリとウェイW3のエントリとの関係をそれぞれ示している。仮想アドレスに対応するセットにおいて、LRUビットLB01、LB02、LB03、LB12、LB13、LB23を用いることで、最も以前に参照されたエントリを置換対象エントリとして容易に選択できる。

#### 【0053】

また、例えば、仮想アドレスに対応するセットにおいて、ウェイW0のエントリのプライオリティビットPBのみがセットされた場合、図の右側に示すように、ウ

エイW0のエントリとは無関係のLRUビットLB12、LB13、LB23のみを用いることで、ウェイW1～W3のエントリのうち最も以前に参照されたエントリを置換対象エントリとして容易に選択できる。これにより、ウェイW0のエントリは、エントリ置換の候補から除外できる。図中、破線で示したLRUビットLB01、LB02、LB03は、置換対象エントリの選択で使用されないことを示している。

#### 【0054】

第1の実施形態では、TLBがセットアソシアティブ方式で構成された例について述べた。本発明は、かかる実施形態に限定されるものではない。例えば、TLBは、フルアソシアティブ方式で構成されてもよい。

以上、本発明について詳細に説明してきたが、前述の実施形態およびその変形例は発明の一例に過ぎず、本発明はこれに限定されるものではない。本発明を逸脱しない範囲で変形可能であることは明らかである。

#### 【0055】

##### 【発明の効果】

請求項1のマイクロプロセッサでは、回路構成を複雑にすることなく、エントリ置換が実施できなくなることを防止できる。すなわち、プログラムの実行が停止することを回避できる。換言すれば、システムの正常動作を保証できる。また、エントリ置換に伴うアドレス変換のためのオーバヘッドの増大を最小にできる。

請求項2のマイクロプロセッサでは、常駐が必要なアドレス変換情報は変換索引バッファに常駐できる。すなわち、アドレス変換のためのオーバヘッドを低減できる。また、エントリ置換に伴うアドレス変換のためのオーバヘッドの増大を最小にできる。

#### 【0056】

請求項3のマイクロプロセッサでは、2ウェイセットアソシアティブ方式の変換索引バッファを有するVLIW方式のマイクロプロセッサにおいても、エントリ置換が実施できなくなることを防止できる。すなわち、プログラムの実行が停止することを回避できる。換言すれば、システムの正常動作を保証できる。

請求項4のマイクロプロセッサでは、同一のVLIW命令内でエントリ置換が

連続して発生したか否かを容易に認識できる。

【 0 0 5 7 】

請求項 5 および請求項 7 のマイクロプロセッサでは、プライオリティビットを再度有効にできる。

請求項 6 および請求項 8 のマイクロプロセッサでは、フラグを容易にリセットできる。

【図面の簡単な説明】

【図 1】

本発明のマイクロプロセッサの第 1 の実施形態を示すブロック図である。

【図 2】

第 1 の実施形態における T L B 制御を示すフローチャートである。

【図 3】

本発明のマイクロプロセッサの第 2 の実施形態を示すブロック図である。

【図 4】

第 2 の実施形態における割込制御回路の要部を示すブロック図である。

【図 5】

第 2 の実施形態における T L B 制御を示すフローチャートである。

【図 6】

本発明のマイクロプロセッサの第 3 の実施形態を示すブロック図である。

【図 7】

第 3 の実施形態における割込制御回路の要部を示すブロック図である。

【図 8】

4 ウェイセットアソシアティブ方式の T L B における置換対象エントリの選択を示す説明図である。

【符号の説明】

1 0、3 0 CPU

1 2、1 2 a 動的アドレス変換機構 (D A T)

1 4 変換索引バッファ (T L B)

1 6 制御回路

1 8、1 8 a 主記憶

2 0 アドレス変換表

1 0 0、2 0 0、3 0 0 マイクロプロセッサ

AD アドレス検出器

AND 論理積回路

BIF バスインタフェース

CMP 比較器

DC1、DC2 検出回路

DCAC データキャッシュ

F フラグ

FU 浮動小数点ユニット

ID 割込検出器

ICAC 命令キャッシュ

INTC1、INTC2 割込制御回路

IU 整数ユニット

LB、LB01、LB02、LB03、LB12、LB13、LB23 L R Uビット

PB プライオリティビット

PDC 優先順位判定回路

REG 保持回路

SIF SDRAMインタフェース

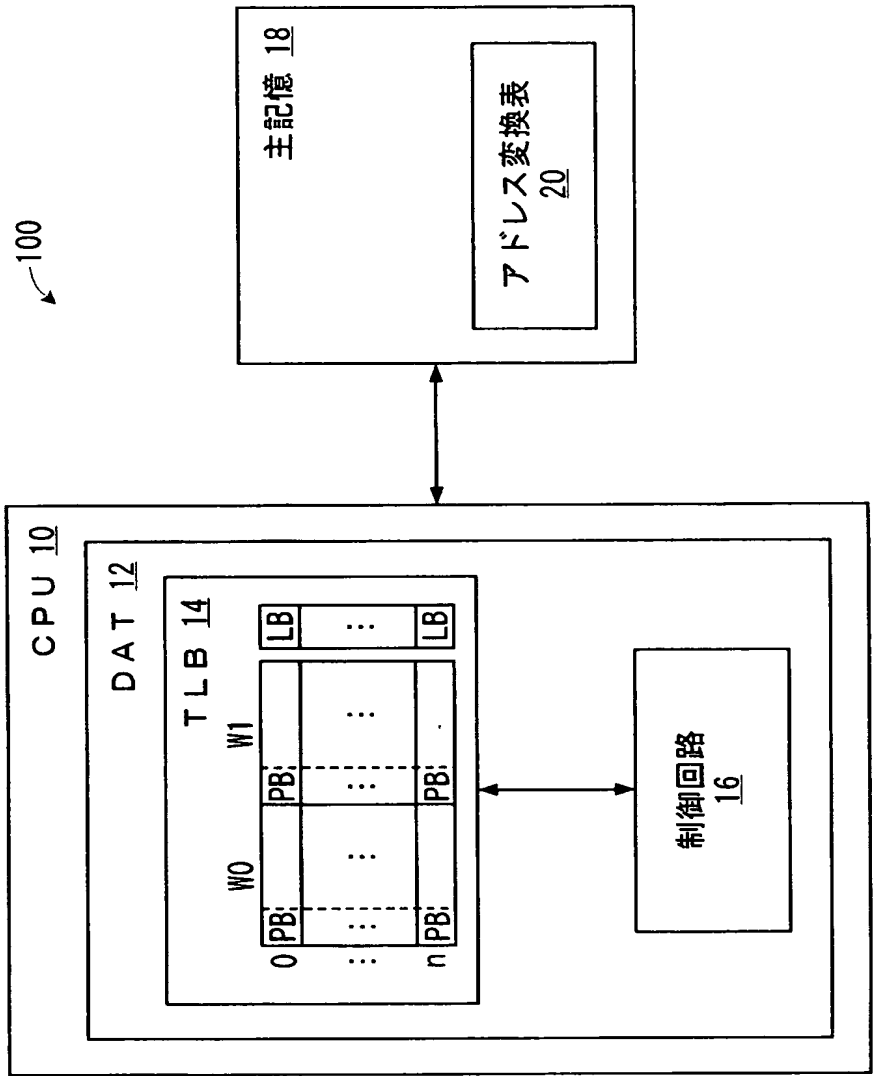
SU システムユニット

W0、W1、W2、W3 ウェイ

【書類名】 図面

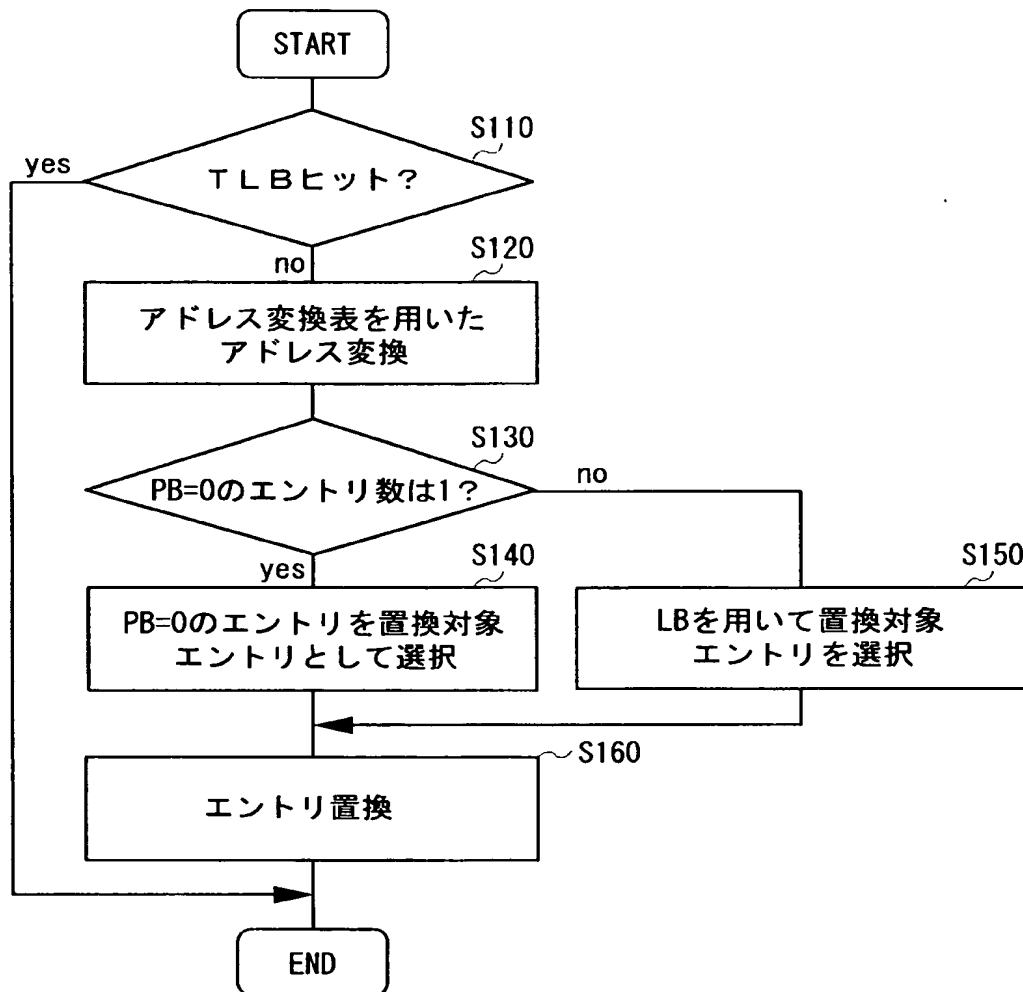
【図 1】

本発明のマイクロプロセッサの第 1 の実施形態を示す説明図



【図 2】

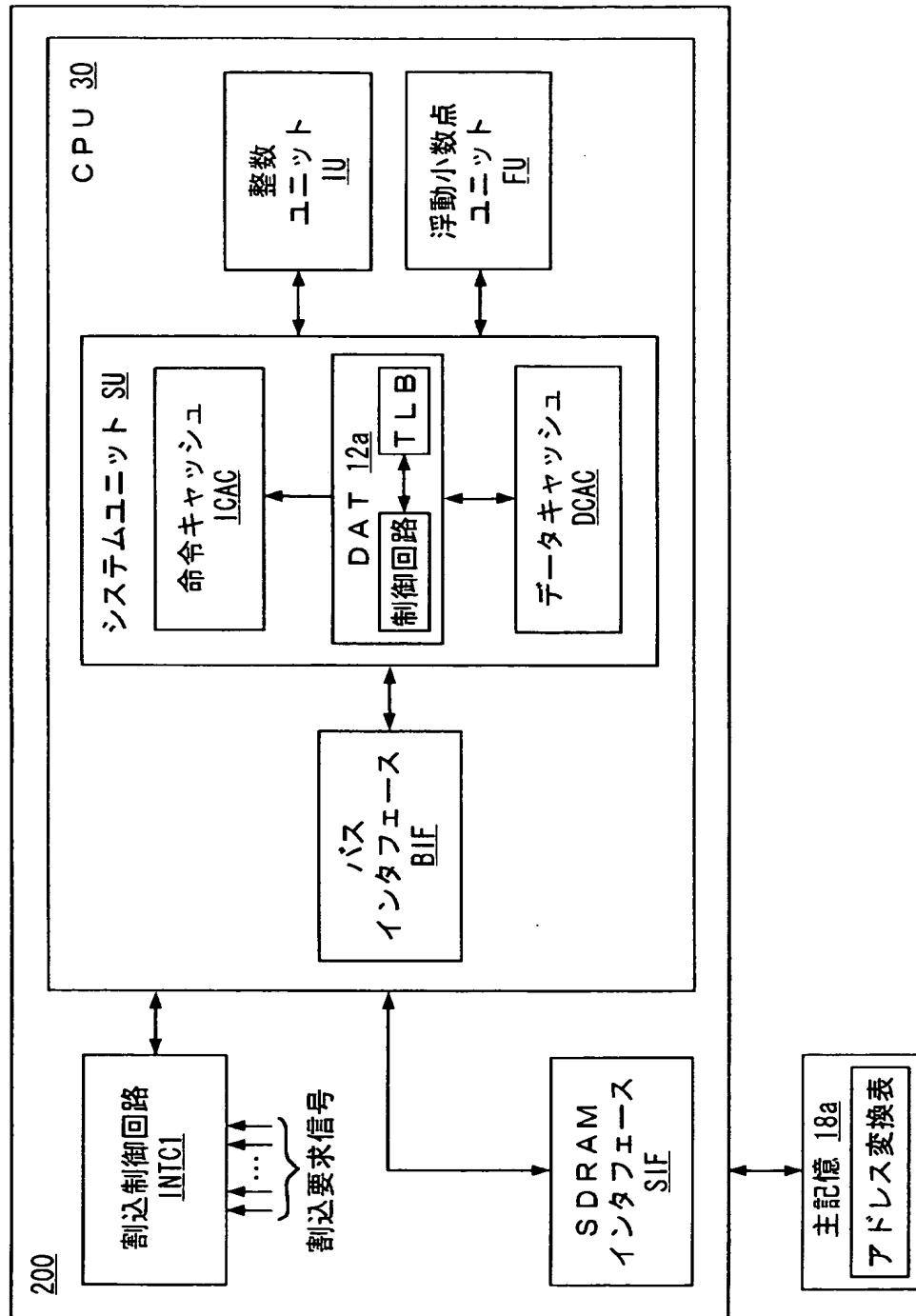
第 1 の実施形態における TLB 制御を示すフローチャート





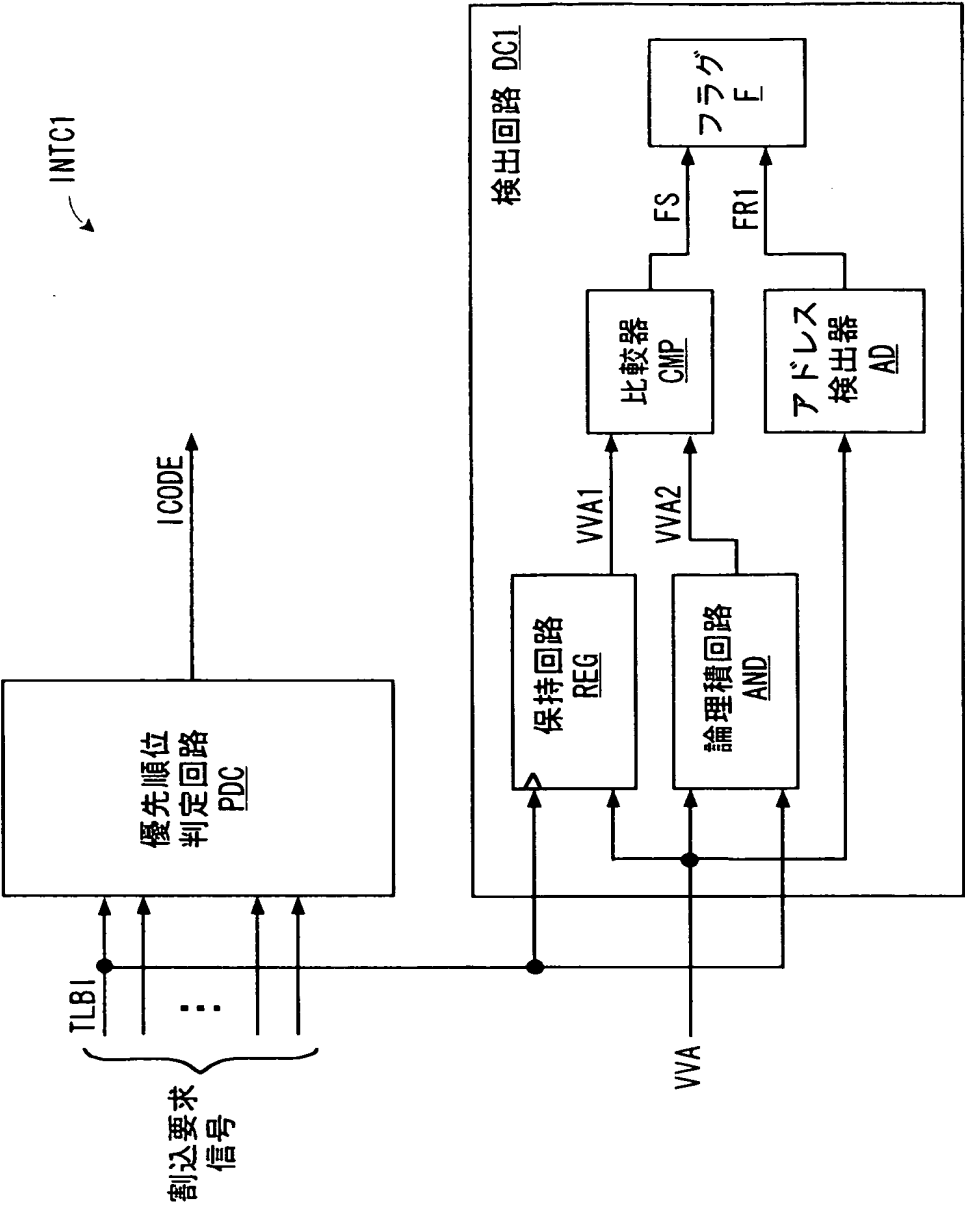
【図 3】

本発明のマイクロプロセッサの第 2 の実施形態を示す説明図



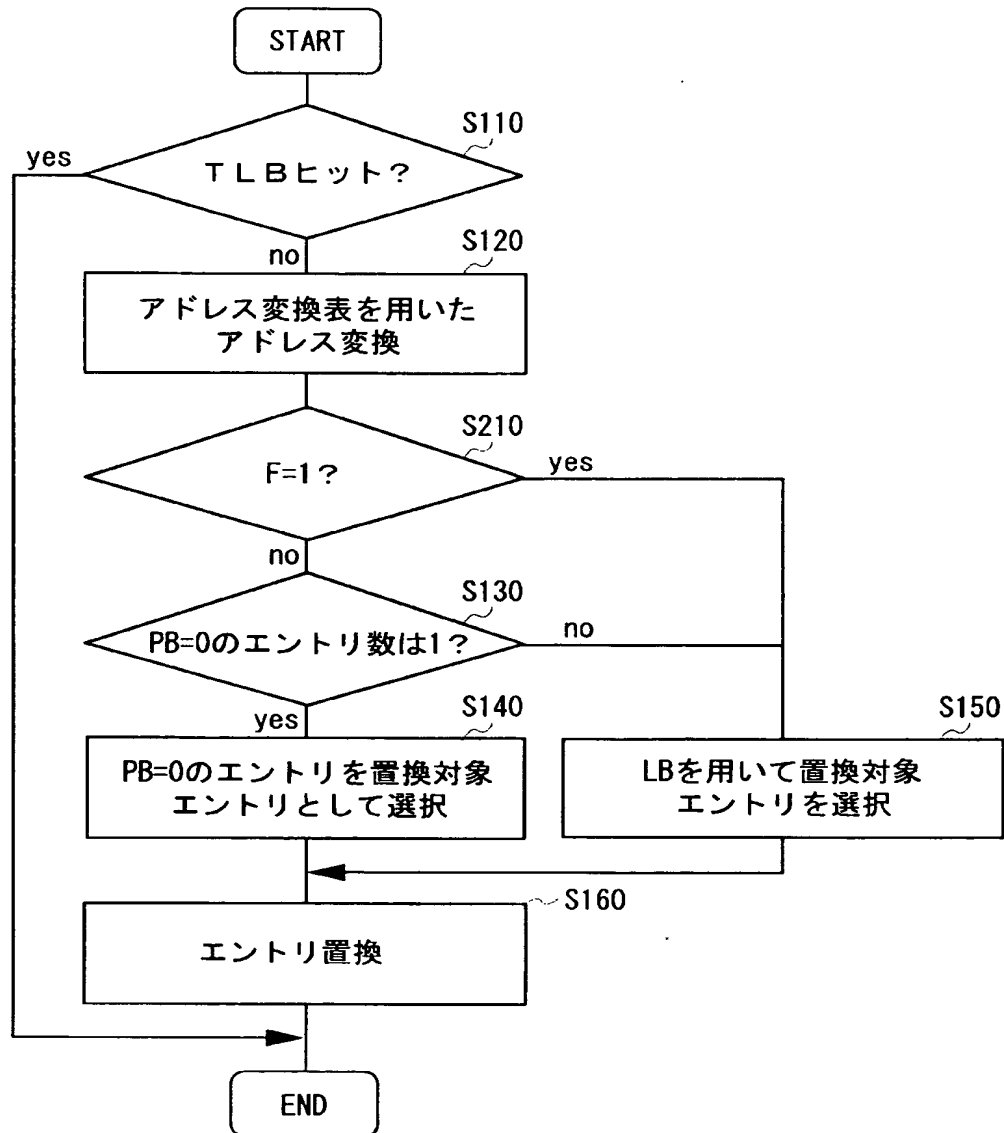
【図 4】

第 2 の実施形態における割込制御回路の要部を示す説明図



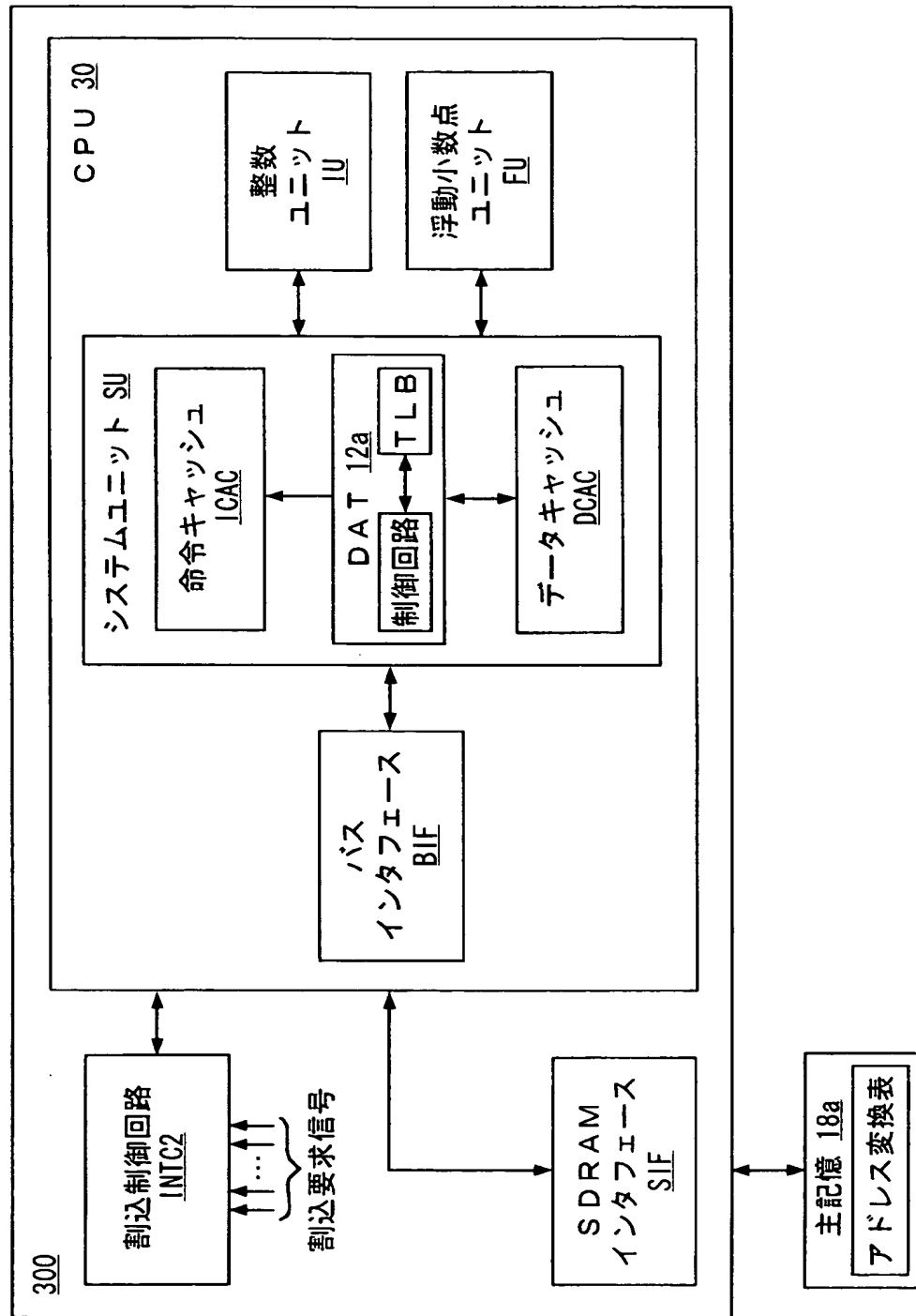
【図 5】

第2の実施形態におけるTLB制御を示すフローチャート



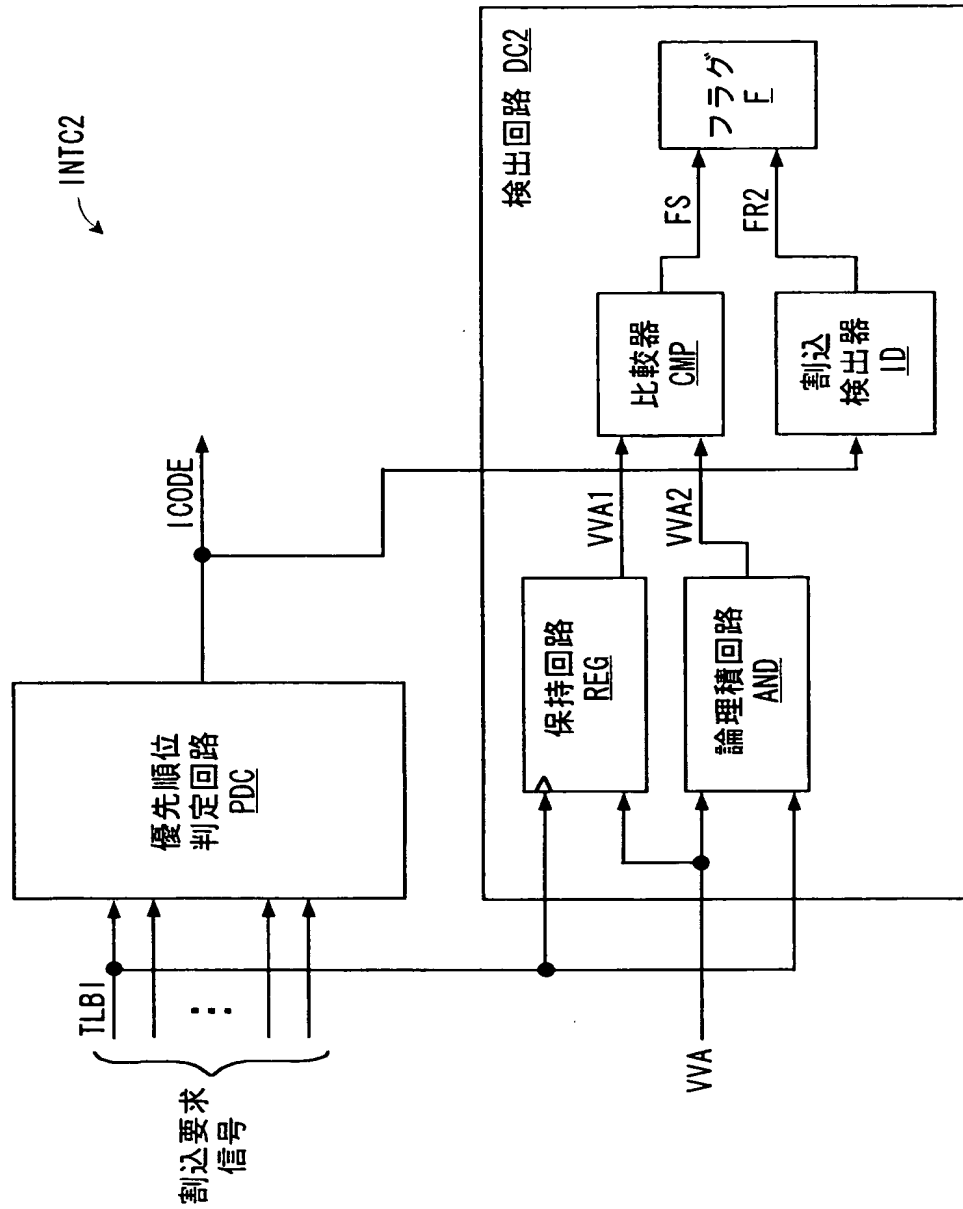
【図 6】

本発明のマイクロプロセッサの第 3 の実施形態を示す説明図



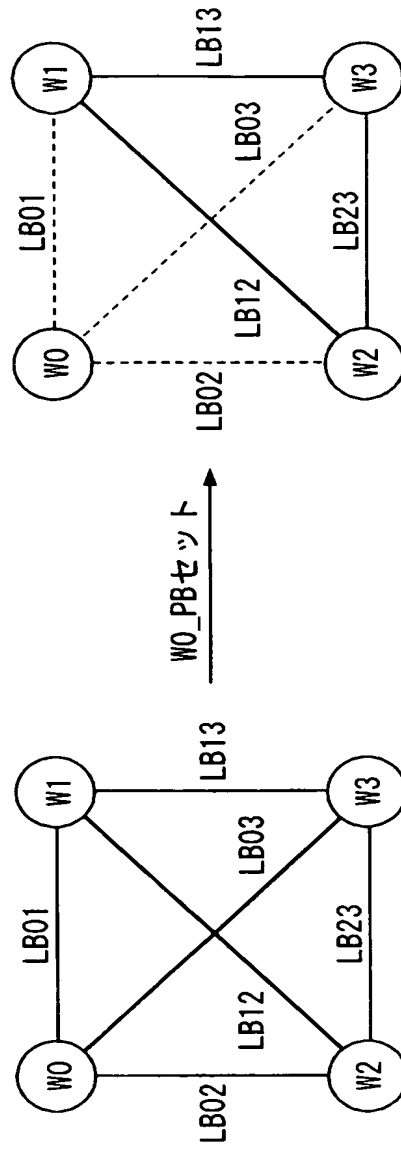
【図 7】

第3の実施形態における割込制御回路の要部を示す説明図



【図 8】

4ウェイセットアソシティブ方式のTLBにおける  
置換対象エントリの選択を示す説明図



【書類名】 要約書

【要約】

【課題】 変換索引バッファを有するマイクロプロセッサにおいて、エントリ置換が実施できなくなることを防止する。

【解決手段】 変換索引バッファは、仮想アドレスから物理アドレスへの変換により得られるアドレス変換情報が登録される複数のエントリを有している。エントリは、登録されるアドレス変換情報の常駐が必要なときにセットされるプライオリティビットをそれぞれ有している。制御回路は、エントリの登録内容を入れ替えるエントリ置換が発生したときに、全てのエントリのプライオリティビットがセットされている場合、プライオリティビットに拘わらず、最古に参照されたエントリをエントリ置換の対象として選択する。このため、全てのエントリのプライオリティビットがセットされている場合であっても、エントリ置換を実施できる。

【選択図】 図 1

特願 2 0 0 3 - 1 2 4 9 3 7

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 2 2 3 ]

1. 変更年月日  
[変更理由]

1 9 9 6 年 3 月 2 6 日

住所変更

住 所  
氏 名

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号  
富士通株式会社